

B2



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Gebrauchsmuster**  
⑩ **DE 295 12 779 U 1**

⑤1 Int. Cl. 6:  
**H 03 L 7/07**  
// H 04 L 25/40

⑪	Aktenzeichen:	295 12 779.1
②2	Anmeldetag:	8. 8. 95
④7	Eintragungstag:	28. 9. 95
④3	Bekanntmachung im Patentblatt:	9. 11. 95

⑦3 Inhaber:  
Siemens AG, 80333 München, DE

⑤4 Integrierbare Taktgewinnungsschaltung

DE 295 12 779 U 1

DE 295 12 779 U 1

08.08.95

1

Beschreibung einer Erfindung eines Bausteins für eine

Integrierbare Taktgewinnungsschaltung

- 5 Die Erfindung betrifft eine Schaltungsanordnung zur Realisierung der Funktion eines spannungsgesteuerten, quarzstabilisierten Oszillators.
- 10 In digitalen Datenübertragungsnetzen, wie z.B. in SDH(Synchron Digital Hierarchy)-Übertragungssystemen werden zur Sendetakterzeugung PLL(Phase Locked Loop) - Schaltungen verwendet. Der Phasenregelkreis vergleicht den Füllstand eines Pufferspeichers mit seinem Sollwert und korrigiert
- 15 entsprechend die Sendefrequenz. Die nominale Sendefrequenz liegt fest, sie ist durch die Mittenfrequenz des Phasenregelkreises definiert. Die tatsächliche Sendefrequenz wird durch Ziehen des Phasenregelkreises über seine Steuerspannung aufgrund der anfallenden Datenmenge bestimmt. Das Signal, das die Abweichung des Füllstandes des Pufferspeichers vom Soll-
- 20 wert angibt, ist durch ein diskretes Signal mit einer im Vergleich zur Sendefrequenz niedrigen Rate von Zustandswechseln gegeben. An sich bekannte, integrierte spannungsgesteuerte Oszillatoren VCOs (Voltage Controlled Oscillator) sind bei dieser Anwendung aufgrund der seltenen Korrektur nicht
- 25 einsetzbar, da ihre Kurzzeitstabilität im Hinblick auf die Genauigkeitsanforderungen für synchrone Datennetze bei weitem nicht ausreicht. Deshalb kommen bei dieser Anwendung üblicherweise Schaltungen zum Einsatz, bei denen ein Phasenregelkreis einen spannungsgesteuerten, quarzstabilisierten
- 30 Oszillator VCXO (Voltage Controlled Xtal (=crystal) Oscillator) regelt. Diese spannungsgesteuerten, quarzstabilisierten Oszillatoren benötigen genaue frequenzbestimmende Elemente zur Stabilisierung. Diese frequenzbestimmenden Elemente, die durch schmalbandige Filter oder Schwingkreise gegeben sein
- 35 können und die beispielsweise mit Oberflächenwellen-, Quarz- oder Keramikfiltern realisiert sein können, sind nicht ohne weiteres zusammen mit der übrigen Schaltung in einem Baustein

08.08.95

08.08.95

2

integrierbar, so daß die frequenzbestimmenden Elemente außerhalb des Bausteins angeordnet werden müssen, wozu zusätzliche Anschlüsse an dem Baustein vorgesehen werden müssen, zusätzlicher Platzbedarf auf der Baugruppe benötigt wird und ein erhöhter Aufwand bei der Bestückung der Baugruppe notwendig ist.

In digitalen Übertragungssystemen, in denen gleichzeitig eine Mehrzahl von Datensignalen, die nicht phasenstarr zueinander sind, gesendet werden sollen, macht sich der Aufwand besonders störend bemerkbar, daß für jedes Datensignal und damit für jede Leitung ein gesonderter Phasenregelkreis mit jeweiligen genauen frequenzbestimmenden Elementen vorgesehen werden muß.

Der Erfindung liegt das Problem zugrunde eine Schaltungsanordnung zur Realisierung der Funktion eines spannungsgesteuerten, quarzstabilisierten Oszillators anzugeben, bei denen präzise externe oder abzugleichende frequenzbestimmende

Elemente vermieden sind. Weiterhin ist es Aufgabe der Erfindung, die wesentlichen Merkmale zur Lösung des Problems sind dadurch gegeben, daß

- mehrere jeweils eine-gesteuerte Verzögerungsleitung (VCD0, VCD1), einen Phasenvergleichers (PV0, PV1) und einen Schleifenfilter (LFO, LFI) aufweisende Phasenregler (PR0, PR1) vorgesehen sind, die jeweils einen Referenztakteingang (CREF) aufweisen und deren Steuerspannungen (VCO, VCI) in einem Regelbereich zwischen einer oberen (UH) und einer unteren (UL) Grenze liegen

- stets ein Phasenregler der jeweils ausgewählte Phasenregler ist

- der Verzögerungsleitungsausgang des ausgewählten einen Phasenreglers der Taktsignalausgang ist

- der ausgewählte, in seiner Frequenz nach Maßgabe eines zugeführten Ansteuersignals beeinflusste Phasenregler einen Taktsignalgeber bildet

08.08.95

08.08.95

3

jenseits der oberen oder der unteren Grenze des Regelbereiches des gerade ausgewählten Phasenreglers ein jeweiliger anderer Phasenregler mit an dieser Grenze gerade nicht ausgesteuertem Regelbereich der ausgewählte Phasenregler ist.

5

Der Anmeldungsgegenstand bedarf keiner schwerlich integrierbarer, präziser frequenzbestimmender Bauelemente, wodurch der Aufwand für die frequenzbestimmenden Bauelemente selbst, der Aufwand für die ansonsten zusätzlich vorzusehenden Anschlüsse des integrierten Bausteins, der Aufwand für den Einbauplatz der frequenzbestimmenden Bauelemente auf der Baugruppe und der Aufwand für die ansonsten notwendige Bestückung der Baugruppe mit den frequenzbestimmenden Bauelementen erspart ist. Der Anmeldungsgegenstand ist also in einem integrierten Baustein vollständig implementierbar. Der Anmeldungsgegenstand realisiert die Funktion eines spannungsgesteuerten, quarzstabilisierten Phasenregelkreises VCXO im Hinblick auf die Fähigkeit zur Einhaltung der jeweils erforderlichen Frequenz des ausgangsseitig abgegebenen Taktsignales. Bei der anmeldungsgemäßen Schaltung kann ein eingangsseitig zugeführtes Taktsignal hoher Frequenzkonstanz, das ohnehin lokal vorhanden ist und das nur annähernd die Frequenz des ausgangsseitig abgegebenen Taktsignals aufweisen muß, als Referenztaktsignal ausgenutzt sein; in diesem Fall ist das von der anmeldungsgemäßen Schaltung abgegebene Taktsignal insgesamt erheblich stabiler bezüglich der Einhaltung der Frequenz, da das lokal vorhandene Taktsignal hoher Frequenzkonstanz in der Regel stabiler ist als ein von einem spannungsgesteuerten Oszillator (Voltage Controlled Oszillator) abgegebenes Taktsignal.

30

Für mehrere Schaltungseinheiten zur Aussendung jeweils eines Datensignales kann ein sämtlichen Schaltungseinheiten gemeinsames Referenztaktsignal hoher Frequenzkonstanz bereitgestellt sein.

35

08.08.95

08.08.95

4

Die Erfindung wird nun als Ausführungsbeispiel in einem zum Verständnis erforderlichen Umfang anhand von Figuren näher beschrieben.

5 Dabei zeigen:

- Fig 1 den Einsatz der erfindungsgemäßen Schaltungsanordnung in einer typischen Schaltungsumgebung,
- 10 Fig 2 ein Blockschaltbild der erfindungsgemäßen Schaltung,
- Fig 3 a, b nähere Einzelheiten der Schaltung aus Fig 2.
- Fig 1 zeigt eine Schaltungsanordnung zur Aussendung eines
- 15 Datensignales in einem digitalen Übertragungssystem. Das Datensignal ist dem Eingang DIN eines Pufferspeichers PS zugeführt. Zwei Phasenreglern PR0, PR1 sind eingangsseitig jeweils eines von zueinander komplementären Referenztaktsignalen CREF\_H, CREF\_L zugeführt. Die Kontrolleinheit CL wählt
- 20 einen Phasenregler aus, dessen ausgangsseitig abgegebenes Taktsignal CLK0, CLK1 als Taktsignal CLKOUT zur Aussendung des Datensignales an dem Ausgang DOUT des Pufferspeichers auf eine Leitung dient. Die Frequenz des von dem ausgewählten Phasenregler abgegebenen Taktsignals wird nach Maßgabe des
- 25 von dem Pufferspeicher abgegebenen Füllstandssignals VFCONT beeinflusst.
- Die Blockschaltung in Fig 2 weist zwei Phasenregler PR0, PR1 und eine Kontrolleinheit CL (für: Control Logic) auf. Den Phasenreglern wird als Eingangssignal ein Referenztaktsignal CREF mit gegebener, in hohem Maße stabiler Frequenz zugeführt. Das Referenztaktsignal kann durch ein lokal ohnehin vorhandenes Taktsignal gegeben sein. Den Phasenreglern werden jeweils zueinander komplementäre Referenztaktsignale CREF\_H, CREF\_L zugeführt. In einem Phasenregler wird das betreffende Referenztaktsignal einer spannungsgesteuerten Verzögerungsleitung VCD0, VCD1 zugeführt. In der Verzögerungsleitung wird
- 30
- 35

08.08.95 79

00 00 00

5

das Referenztaktsignal nach Maßgabe einer zugeführten Steuer-  
spannung VC0, VC1 verzögert. Das von der Verzögerungsleitung  
abgegebene Taktsignal und das von der Verzögerungsleitung  
eines anderen Phasenreglers abgegebene Taktsignal werden  
5 einem Phasenvergleich PV0, PV1 als Eingangssignale zuge-  
führt. Der Phasenvergleich liefert nach Maßgabe der Koinzi-  
denz der ihm zugeführten Eingangssignale einen Strom als  
Ausgangssignal. Der von dem Phasenvergleich gelieferte  
Strom ist einem ersten Eingang eines gesteuerten Umschalters  
10 SW0, SW1 zugeführt. Dem zweiten Eingang sämtlicher gesteu-  
ter Umschalter ist der von einem Spannungs-Strom-Umsetzer OTA  
(für: Operational Transconductance Amplifier) gelieferte  
Strom IFCONT zugeführt. Der nichtinvertierende Eingang des  
Spannungs-Strom-Umsetzers ist mit dem mittleren Potential  
15  $U_{DD}/2$  einer nicht näher dargestellten Betriebsspannungsquel-  
le, die an ihren beiden Klemmen die Potentiale UDD, DG zur  
Verfügung stellt, verbunden. Dem invertierenden Eingang des  
Spannungs-Strom-Umsetzers ist ein Spannungssignal VFCONT  
zugeführt. Der Spannungs-Strom-Umsetzer setzt das Spannungs-  
20 signal VFCONT in einen entsprechend hohen positiven oder  
negativen Strom um. Das Spannungssignal VFCONT möge durch ein  
diskretes Signal, das die Abweichung des Füllstandes eines  
Pufferspeichers vom Sollwert angibt, gegeben sein. Die Rate  
der Zustandswechsel des Spannungssignales VFCONT möge klein  
25 sein im Vergleich zur Frequenz des Referenztaktsignales. Das  
von dem gesteuerten Umschalter ausgangsseitig gelieferte  
Signal wird einem Schleifenfilter LF0, LF1 zugeführt. In dem  
Schleifenfilter erfährt das zugeführte Signal eine an sich  
für Phasenregelkreise (Phase-locked-loop) bekannte Behandlung  
30 mit integrierender Wirkung. Im vorliegenden Fall wird in dem  
Schleifenfilter ein von dem Phasenvergleich oder dem  
Spannungs-Strom-Umsetzer gelieferter Strom konstanter Höhe in  
ein linear ansteigendes Spannungssignal umgesetzt. Das von  
dem Schleifenfilter abgegebene Spannungssignal wird einer-  
35 seits der Verzögerungsleitung als Steuerspannung VC0, VC1 und  
andererseits der Kontrolleinheit über gleichbezeichnete  
Anschlüsse zugeführt. Neben dem Ausgangssignal an Klemme VC0,

00 00 00

VC1 führt jeder Phasenregler der Kontrolleinheit an der Klemme CLK0, CLK1 das von der zugehörigen Verzögerungsleitung verzögerte Taktsignal sowie an der Klemme LI0, LI1 ein von dem Phasenvergleichler geliefertes Informationssignal zu. Dieses Informationssignal ist nach Maßgabe der Phasenabweichung zwischen dem dem Phasenvergleichler zugeführten Signalen gebildet. Die Kontrolleinheit gibt unter Auswertung der ihr eingangsseitig zugeführten Signale an der Klemme CLKOUT ein Taktsignal ab, das eine niedrigere, die gleiche oder eine höhere Taktfrequenz als das Referenztaktsignal CREF aufweisen kann. Das an der Klemme CLKOUT abgegebene Taktsignal kann also gegenüber dem Referenztaktsignal dauerhaft eine etwas höhere oder eine etwas niedrigere Frequenz aufweisen. Zum Ausgleich der Frequenzdifferenz zwischen dem Referenztaktsignal und dem Taktsignal CLKOUT wird das Referenztaktsignal in einer Verzögerungsleitung zunehmend phasenverschoben. Das an der Klemme CLKOUT abgegebene Taktsignal ist dem Pufferspeicher zugeführt, dessen Inhalt mit der Frequenz des Taktsignales ausgelesen wird.

Durch die Kontrolleinheit wird stets ein Phasenregler ausgewählt, dessen Taktsignal auf die Klemme CLKOUT durchgeschaltet wird. In der Fig 2 ist der Phasenregler PR 1 als der ausgewählte Phasenregler dargestellt. Bei einem ausgewählten Phasenregler ist das Ausgangssignal des Spannungs-Strom-Umsetzers über den gesteuerten Umschalter SW dem zugehörigen Schleifenfilter zugeführt. Die Frequenz des von dem ausgewählten Phasenregler abgegebenen Taktsignales ist also nach Maßgabe des dem Spannungs-Strom-Umsetzer zugeführten Spannungssignales VFCNT gesteuert. In Fig 2 ist der Phasenregler PR 2 als momentan nicht ausgewählter Phasenregler dargestellt. Bei einem nicht ausgewählten Phasenregler ist der Phasenregelkreis über den gesteuerten Umschalter geschlossen, wobei der Phasenregelkreis auf die Frequenz des momentan ausgewählten Phasenreglers einrastet. Die Einrastung des nicht ausgewählten Phasenreglers auf die Frequenz des ausgewählten Phasenreglers ermöglicht eine Umschaltung ohne Pha-

08.08.95

sensprung. Da die beiden Phasenregler eingangsseitig mit  
zueinander komplementären Referenztaktsignalen beaufschlagt  
sind, weisen der ausgewählte Phasenregler und der nicht  
ausgewählte Phasenregler im allgemeinen voneinander abwei-  
5 chende Steuerspannungen  $VC0$ ,  $VC1$  auf. Die Steuerspannungen  
Die Kontrolleinheit hat die Aufgabe, stets einen Phasenregler  
auszuwählen, der innerhalb seines Regelbereiches arbeitet,  
und gleichzeitig einen gerade nicht ausgewählten Phasenregler  
10 in einer derartigen Einstellung seines Regelbereiches bereit-  
zuhalten, daß er dann übernehmen kann, wenn der gerade ausge-  
wählte Phasenregler die Grenze seines Regelbereiches er-  
reicht. Für die Auswahl eines Phasenreglers einerseits und  
die Bereithaltung eines gerade nicht ausgewählten Phasenreg-  
15 lers im Zustand einer geeigneten Einstellung seines Regelbe-  
reichs andererseits wertet die Kontrolleinheit die Steuer-  
spannungen  $VC0$ ,  $VC1$  für die Verzögerungsleitungen und ergän-  
zend hierzu gegebenenfalls die von den Phasenvergleichern  
abgegebenen Informationssignale aus. Die Kontrolleinheit  
20 weist einen Taktmultiplexer auf, der eines von der Kontroll-  
einheit an den Klemmen  $CLK0$ ,  $CLK1$  zugeführten Taktsignalen  
auf die Klemme  $CLKOUT$  durchschaltet. Gerät die Steuerspannung  
des momentan ausgewählten Phasenreglers an die Grenze seines  
Regelbereichs, so bewirkt die Kontrolleinheit über das  
25 Signal  $SEOUT$  eine Umschaltung der gesteuerten Umschalter und  
des Taktmultiplexers.  
Fig. 3 a, b zeigt eine einfache Ausführungsform einer in CMOS-  
(Complementary Metal Oxid Silicium) - Technologie reali-  
30 sierten Schaltungsanordnung auf der Bauteileebene. Die Verzö-  
gerungsleitungen sind jeweils mit 16 Verzögerungselementen  
 $DE001$ , ...,  $DE016$ , bzw.  $DE101$ , ...,  $DE116$  (für: Delay Element)  
gebildet. Jedes Verzögerungselement ist mit einem Inverter  
gebildet, der ausgangsseitig über einen regelbaren Widerstand  
35 mit einer Lastkapazität belastet ist. Die beiden Anschlüsse  
der Laststrecke des regelbaren Widerstandes sind durch die  
beiden Hauptelektroden eines ersten N-Kanal-Feldeffekttransi-

08.08.79



stors gegeben, wobei die Steuerelektrode des Feldeffekttransistors mit der Steuerspannung beaufschlagt ist. Die Lastkapazität ist mit der Kapazität zwischen der Steuerelektrode und der Laststrecke eines zweiten N-Kanal-Feldeffekttransistors gebildet, wobei die Steuerelektrode des zweiten Feldeffekttransistors mit der Source-Elektrode des ersten Feldeffekttransistors und die beiden Hauptelektroden des zweiten Feldeffekttransistors mit dem niedrigen Potential führen. Jede Klemme DG einer nicht näher dargestellten Betriebsspannungsquelle VDD mit DG verbunden sind. Der Ausgang eines Verzögerungselementes ist durch den mit einer gesteuerten Lastkapazität belasteten Ausgang eines Inverters gegeben. Der Ausgang eines Verzögerungselementes ist mit dem Eingang des jeweils nächsten Verzögerungselementes verbunden, der Ausgang des letzten Verzögerungselementes der Verzögerungsleitung ist mit einem Inverter INVR0, INVR1 zur Regeneration der Impulsform verbunden. Die Verzögerungsdauer der Verzögerungsleitung steigt also mit Zunahme der Steuerspannung an. Der Ausgang des Inverters INVR0, INVR1 ist mit dem D-Eingang eines D-Flipflops DFF0, DFF1, das den betreffenden Phasenvergleich PV0, PV1 bildet, verbunden. Dem Eingang CLK des D-Flipflops ist das von der Verzögerungsleitung des jeweils anderen Phasenreglers abgegebene Taktsignal zugeführt. Mit jeder steigenden Flanke des von dem jeweils anderen Phasenregler abgegebenen Taktsignales wird der augenblickliche Zustand des zugehörigen Taktsignales am Ausgang des D-Flipflops übernommen. Der Ausgang des Phasenvergleichers ist einem Eingang eines gesteuerten Umschalters, der in an sich bekannter Weise mit Transistorschaltern realisiert sein möge, zugeführt. Das Signal am Ausgang des Phasenvergleichers des momentan ausgewählten Phasenreglers ist ungenutzt. Der Ausgangsstrom des Phasenvergleichers des momentan nicht ausgewählten Phasenreglers ist über den zugehörigen gesteuerten Umschalter dem mit einem Kondensator C0, C1 gebildeten Schleifenfilter zugeführt und wird dort integriert. Die Spannung über dem Kondensator C0, C1 ist sämtlichen Verzögerungselementen der zugehörigen Verzögerungsleitung zugeführt. Anstelle des Kondensators C0,

C1 können andere, z.B. aus R. Best "Theorie und Anwendung des Phase-locked Loops", AT Verlag Aarau, - Stuttgart ISBN 3-85502-123-6 bekannte Schleifenfilter zum Einsatz kommen. Bei dem momentan nicht ausgewählten Phasenregler bilden die Verzögerungsleitung, der Phasenvergleich und der Schleifenfilter über den gesteuerten Umschalter einen geschlossenen Regelkreis, wobei der Phasenvergleich so regelt, daß an seinem Eingang die steigenden Flanken des Taktsignales CLK0 und des Taktsignales CLK1 zeitgleich sind.

10

Für jeden Phasenregler wird die Steuerspannung daraufhin überwacht, ob sie einen Wert oberhalb oder unterhalb einer hohen Spannung UH, einer mittleren Spannung UM bzw. einer niedrigen Spannung UL aufweist. Ein mit 4 Widerständen R1, R2, R3 und R4 gebildeter Spannungsteiler ist mit den beiden Klemmen der Betriebsspannungsquelle VDD - DG verbunden. Der Spannungsteiler stellt die hohe Spannung UH, die mittlere Spannung UM und die niedrige Spannung UL bereit. Jedem Phasenregler sind 3 Differenzverstärker OP01, OP02, OP03, bzw. OP11, OP12, OP13 zugeordnet. Die Differenzverstärker OP01 und OP11 sind an ihrem nichtinvertierenden Eingang (+) mit der hohen Spannung UH und an ihrem invertierenden Eingang (-) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die Differenzverstärker OP02 und OP12 sind an ihrem invertierenden Eingang (-) mit der mittleren Spannung UM und an ihrem nichtinvertierenden Eingang (+) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die Differenzverstärker OP03 und OP13 sind an ihrem invertierenden Eingang (-) mit der niedrigen Spannung UL und an ihrem nichtinvertierenden Eingang (+) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die von den Differenzverstärkern OP01 und OP03 bzw. OP11 und OP13 abgegebenen Ausgangssignale H0, L0 bzw. H1, L1 sind den Eingängen eines die logische NAND-Funktion realisierenden Nand-Gatters NAND0, bzw. NAND1 zugeführt. Die Differenzverstärker OP01 und OP03 bzw. OP11 und OP13 bilden gemeinsam mit dem Nand-Gatter NAND0, bzw. NAND1 einen Fensterkomparator, wobei das Nand-Gatter NAND0, bzw. NAND1 an seinem

35

Ausgang dann ein Signal IN0, IN1 mit niedrigem Pegel (LOW) abgibt, wenn die Steuerspannung niedriger als die hohe Spannung UH und höher als die niedrige Spannung UL ist. Ein Signal IN0, IN1 mit niedrigem Pegel (LOW) gibt also an, daß der zugehörige Phasenregler einen Zustand innerhalb seines Regelbereiches innehat, wohingegen ein Signal IN0, IN1 mit hohem Pegel (HIGH) angibt, daß der zugehörige Phasenregler einen Zustand außerhalb seines Regelbereiches eingenommen hat. Die Spannung UH und die Spannung UL bilden also die Grenzen eines definierten Regelbereiches.

Die von den Fensterkomparatoren abgegebenen Signale IN0 und IN1 sind einer Auswahleinrichtung AUS zugeführt. Die Auswahleinrichtung wählt für den Fall, daß ein Verlassen des Regelbereiches des gerade ausgewählten Phasenreglers durch das zugehörige Signal IN0/IN1 mit hohem Pegel (HIGH) angezeigt wird, einen anderen Phasenregler aus, der einen Zustand innerhalb seines Regelbereiches eingenommen hat. Die Auswahleinrichtung im Ausführungsbeispiel ist mit zwei die logische NOR-Funktion realisierenden NOR-Gattern gebildet, die in an sich bekannter Weise zu einem RS-Flipflop verschaltet sind. Die Auswahleinrichtung vermag also an ihren Ausgängen SEL0, SEL1 (für: SELECT) die Zustände eines RS-Flipflops einzunehmen.

Ein Taktmultiplexer TMUX wird nach Maßgabe des Signalzustandes am Ausgang SEL0 der Auswahleinrichtung gesteuert. Der Taktmultiplexer ist mit zwei die logische UND-Funktion realisierenden UND-Gattern gebildet, deren Ausgänge über ein die logische NOR-Funktion realisierendes NOR-Gatter verknüpft sind. Den UND-Gattern sind jeweils einerseits die Taktsignale CLK0, CLK1 und andererseits der Signalzustand am Ausgang SEL0 der Auswahleinrichtung bzw. der über einen Inverter INVTM invertierte Zustand dieses Signalzustandes zugeführt. Der Taktmultiplexer schaltet also bei einem hohen Signalzustand am Ausgang SEL0 der Auswahleinrichtung das Taktsignal CLK0 in invertierter Form auf die Klemme CLKOUT der Kontrollereinheit

08.08.95

11

durch, wohingegen bei einem niedrigen Signalzustand am Ausgang SEL0 der Auswahleinrichtung das Taktsignal CLK1 in invertierter Form auf die Klemme CLKOUT durchgeschaltet wird.

- 5 Für jeden Phasenregler ist eine Serienschaltung von 3 aneinandergereihten P-Kanal-Feldeffekttransistoren TP01, TP02, TP03 bzw. TP11, TP12, TP13 und 3 aneinandergereihten N-Kanal-Feldeffekttransistoren TN01, TN02, TN03 bzw. TN11, TN12, TN13 gegeben. Die Source-Elektrode des außenliegenden P-Kanal-
- 10 Feldeffekttransistors TP01 bzw. TP11 ist mit der das hohe Potential führenden Klemme VDD und die Source-Elektrode des außenliegenden N-Kanal-Feldeffekttransistors TN03 bzw. TN13 ist mit der das niedrige Potential führenden Klemme DG der Betriebsspannungsquelle verbunden. Die Mittenanzapfung der
- 15 Serienschaltung ist mit der zugehörigen Steuerspannung VC0, VC1 verbunden.

- Der Differenzverstärker OP02 bzw. OP12 gibt an seinem Ausgang ein Signal mit hohem Pegel (HIGH) ab, wenn die zugehörige
- 20 Steuerspannung höher ist als die mittlere Spannung UM. Der Ausgang des Differenzverstärkers OP02 bzw. OP12 ist mit den Steuerelektroden der Feldeffekttransistoren TP03 und TN01 bzw. TP13 und TN11 der zugehörigen Serienschaltung sowie mit den Steuerelektroden der Feldeffekttransistoren TP11 und TN13
- 25 bzw. TP01 und TN03 der einem jeweiligen anderen Phasenregler zugehörigen Serienschaltung verbunden. Der Ausgang SEL0 der Auswahleinrichtung ist mit den Steuerelektroden der Feldeffekttransistoren TP02 und TN12 verbunden. Der Ausgang SEL1 der Auswahleinrichtung ist mit den Steuerelektroden der
- 30 Feldeffekttransistoren TN02 und TP12 verbunden. Ist nun der Phasenregler PR0 durch ein Signal mit hohem Pegel am Ausgang SEL0 der Auswahleinrichtung gerade ausgewählt, so sind die Feldeffekttransistoren TP02 und TN02 gesperrt und die Feldeffekttransistoren TP12 und TN12 leitend geschaltet. Die Seri-
- 35 enschaltung des gerade ausgewählten Phasenreglers ist also gesperrt, womit sie keinen Einfluß auf die zugehörige Steuerspannung hat. Die Serienschaltung eines gerade nicht ausge-

08.08.95

08.08.95

12

wählten Phasenreglers wird in der Weise leitend geschaltet, daß die Höhe der Steuerspannung dieses Phasenreglers in Richtung auf die bezüglich der mittleren Spannung UM jeweils andere Seite des Regelbereiches beeinflusst wird wie die Seite des Regelbereiches, in den die augenblickliche Höhe der Steuerspannung des gerade ausgewählten Phasenreglers fällt. Diese Beeinflussung geht so weit, bis die Steuerspannung die mittlere Spannung überschritten hat und durch eine Zustandsänderung am Ausgang des Differenzverstärkers OP02, bzw. OP12 des gerade nicht ausgewählten Phasenreglers die zugehörige Serienschaltung für eine weitere Beeinflussung der Steuerspannung gesperrt wird. Weist die Steuerspannung eines gerade nicht ausgewählten Phasenreglers eine Höhe auf, die bereits in die bezüglich der mittleren Spannung UM jeweils andere Seite des Regelbereiches fällt wie die Seite des Regelbereiches, in die die augenblickliche Höhe der Steuerspannung des gerade ausgewählten Phasenreglers fällt, so bleibt die Serienschaltung des gerade nicht ausgewählten Phasenreglers gesperrt, womit die zugehörige Steuerspannung nicht beeinflusst wird.

Die Kontrolleinheit erzwingt also, daß die Steuerspannung eines momentan nicht ausgewählten Phasenreglers in einem bezüglich der mittleren Spannung diametralen Arbeitsbereich zu dem Arbeitsbereich des gerade ausgewählten Phasenreglers gehalten wird, sodaß der momentan nicht ausgewählte Phasenregler nur in diesem Zustand einrasten kann.

Für den Fall, daß die Steuerspannungen sämtlicher Phasenregler einen Zustand außerhalb ihres Regelbereiches eingenommen haben, weisen sämtliche der Auswahleinrichtung zugeführte Signale IN0, IN1 einen hohen Pegel (HIGH) auf, wodurch die Auswahleinrichtung an ihren Ausgängen SEL0, SEL1 einen niedrigen Pegel (LOW) einnimmt. Dies wird von einem die logische NOR-Funktion realisierenden NOR-Gatter ausgewertet und an der Klemme ALARM durch ein Signal mit hohem Pegel (HIGH) angezeigt.

08.08.95

08.08.95

13

Der Einfluß von Störungen an den Klemmen der Betriebsspannungsquelle ist umso geringer, je kürzer die Verzögerungszeit in einer Verzögerungsleitung ist. In einer bevorzugten Ausführungsform sind die Phasenregler in zwei Gruppen aufgeteilt, wobei den Gruppen jeweils zueinander komplementäre Referenztaktsignale zugeführt sind. Diese Maßnahme bringt neben einer Verringerung des Einflusses von durch Störungen an den Klemmen der Betriebsspannungsquelle verursachten Störungen eine Einsetzbarkeit von kürzeren und damit aufwandsärmeren Verzögerungsleitungen mit sich. Die Verzögerungsleitung ist dann so ausgelegt, daß sie nur eine halbe Periode des Taktsignales auszugleichen braucht und vermag.

08.08.95

08.08.95

14

Schutzansprüche

1. Schaltungsanordnung zur Realisierung der Funktion eines spannungsgesteuerten, quarzstabilisierten Oszillators, der durch ein Ansteuersignal (VFCONT) mit einer niedrigen Rate von Zustandswechseln ansteuerbar ist und der ein Taktsignal (CLKOUT) abzugeben vermag, bei der
2. mehrere jeweils eine gesteuerte Verzögerungsleitung (VCD0, VCD1), einen Phasenvergleichs- (PV0, PV1) und einen Schleifenfilter (LFO, LFI) aufweisende Phasenregler (PRO, PR1) vorgesehen sind, die jeweils einen Referenztakteingang (CREF) aufweisen und deren Steuerspannungen (VCO, VC1) in einem Regelbereich zwischen einer oberen (UH) und einer unteren (UL) Grenze liegen
3. stets ein Phasenregler der jeweils ausgewählte Phasenregler ist
4. der Verzögerungsleitungsausgang des ausgewählten einen Phasenreglers der Taktsignalausgang ist
5. der ausgewählte, in seiner Frequenz nach Maßgabe eines zugeführten Ansteuersignals beeinflusste Phasenregler einen Taktsignalgeber bildet
6. jenseits der oberen oder der unteren Grenze des Regelbereiches des gerade ausgewählten Phasenreglers ein jeweiliger anderer Phasenregler mit an dieser Grenze gerade nicht ausgesteuertem Regelbereich der ausgewählte Phasenregler ist.

2. Schaltungsanordnung nach Anspruch 1, gekennzeichnet durch

7. einen gerade nicht ausgewählten Phasenregler, der im eingestellten Zustand einer Aussteuerung auf der jeweils anderen Seite bezüglich der Mitte des Regelbereiches wie der gerade ausgewählte Phasenregler bereitgehalten ist.

3. Schaltungsanordnung nach Anspruch 1 oder 2, gekennzeichnet durch

08.08.95

00.00.95

15

in zwei Gruppen eingeteilte Phasenregler, wobei die Eingänge der Verzögerungsleitungen der Phasenregler gruppenindividuell mit einem von zueinander komplementären Referenztaktsignalen (CREF\_H, CREF\_L) beaufschlagt sind.

5

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß dem Eingang der Schaltungsanordnung ein lokal vorhandenes Taktsignal hoher Frequenzkonstanz als Referenztaktsignal zugeführt ist.

10

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Schaltungsanordnung vollständig in einem eine integrierte Schaltung aufweisenden Baustein integriert ist.

15

6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, daß mehrere Schaltungsanordnungen zur Realisierung der Funktion eines spannungsgesteuerten, quarzstabilisierten Oszillators in dem Baustein integriert sind.

20

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der Phasenregelkreis eines momentan nicht ausgewählten Phasenreglers geschlossen ist und dessen Phasenvergleichler mit dem Ausgang der zugehörigen Verzögerungsleitung und dem Ausgang der Verzögerungsleitung des momentan ausgewählten Phasenreglers verbunden ist.

25

8. Schaltungsanordnung nach einem der Ansprüche 1 bis 7, gekennzeichnet, durch eine Alarmeinrichtung, die aktivschaltbar ist, wenn die Steuerspannungen sämtlicher Phasenregler jenseits der Grenzen des Regelbereiches liegen.

30

35

00.00.95 79



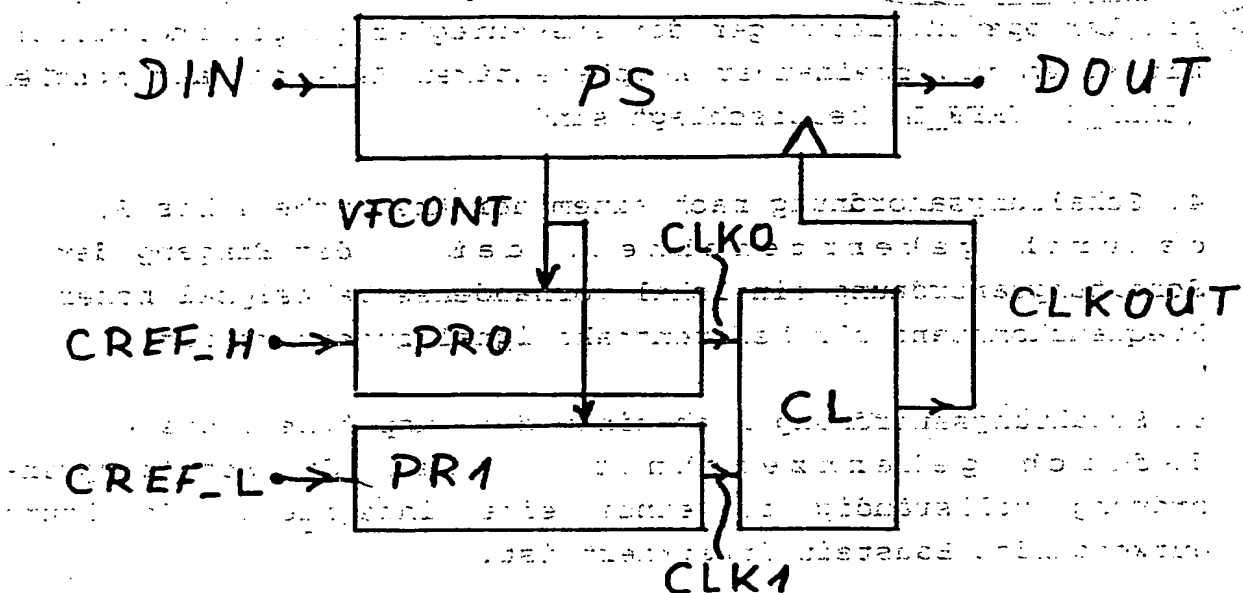


FIG 1

The system is designed to process digital signals. It includes a programmable switch (PS) that can be configured to perform various functions. The switch is controlled by a digital input (DIN) and produces a digital output (DOUT). The system also includes a counter/latch (CL) that can be used to generate a clock signal (CLK0) or a control signal (CLKOUT). The counter/latch is controlled by a digital input (CREF\_H) and a digital output (CREF\_L).

The system is designed to be flexible and adaptable. It can be configured to perform a wide range of functions, including signal processing, data storage, and control. The system is designed to be easy to use and to integrate with other systems. It is a versatile and powerful tool for digital signal processing.

The system is designed to be reliable and robust. It is built using high-quality components and is tested thoroughly before being put into service. It is designed to operate in a wide range of environments and to provide consistent performance over a long period of time.

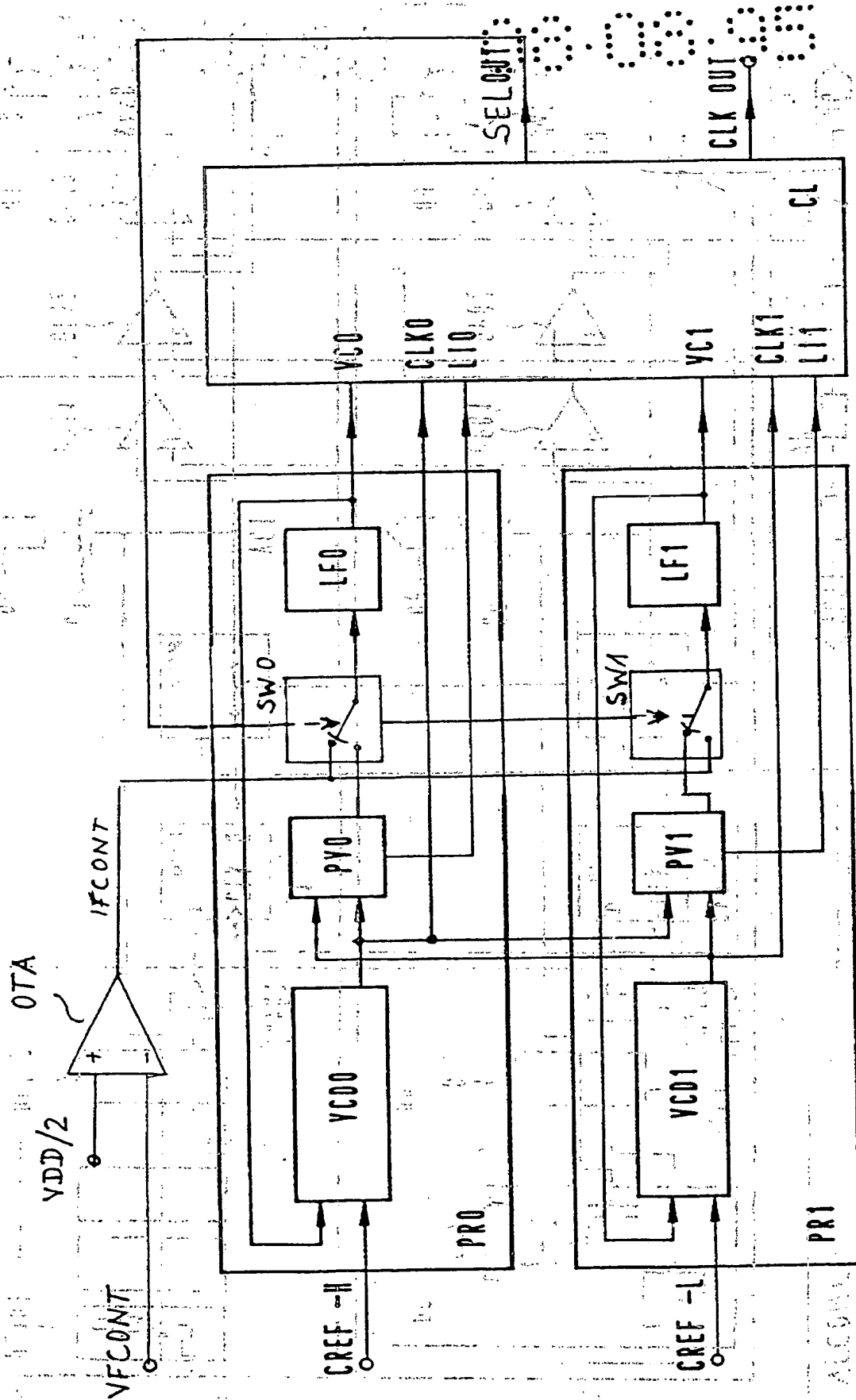


FIG 2

